

Attorney Pocket No. 01367/LH

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Express Mail Mailing Label

No.: EL 922 087 048 US

Date of Deposit: September 24, 2001

Applicant(s): K. MORI, ET AL

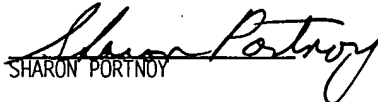
Serial No. : 09/883,833

Filed : June 18, 2001

For : IMAGING APPARATUS

Art Unit :
Examiner :

I hereby certify that this paper is being deposited with the United States Postal Service with sufficient postage "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231


SHARON PORTNOY

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by check attached hereto, authorization to charge the extension fee, or any other fee required in connection with this Paper to Account No. 06-1378.

SUBMISSION OF PRIORITY DOCUMENT(S)

Assistant Commissioner for Patents
Washington, D.C. 20231

S I R :


Enclosed are:

Certified copy(ies); priority is claimed under 35 USC

119:

<u>Country</u>	<u>Application No.</u>	<u>Filing Date:</u>
JAPAN	2000-183310	June 19, 2000
JAPAN	2000-188030	June 22, 2000
JAPAN	2000-188031	June 22, 2000

Respectfully submitted,


Leonard Holtz, Esq.
Reg. No. 22,974

Frishauf, Holtz, Goodman, Langer & Chick, P.C.
767 Third Avenue - 25th Floor
New York, New York 10017-2023
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:sp



日本国特許庁
JAPAN PATENT OFFICE

09/883833

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 6月19日

出願番号

Application Number:

特願2000-183310

出願人

Applicant(s):

オリンパス光学工業株式会社

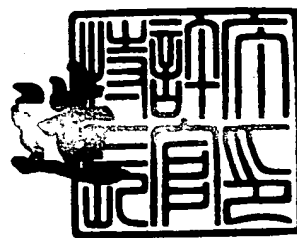
CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月 6日

特許庁長官
Commissioner,
Japan Patent Office



及川耕



出証番号 出証特2001-3053198

【書類名】 特許願

【整理番号】 A000002046

【提出日】 平成12年 6月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 撮像装置

【請求項の数】 3

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

【氏名】 森 圭一

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

【氏名】 吉田 英明

【特許出願人】

【識別番号】 000000376

【氏名又は名称】 オリンパス光学工業株式会社

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100100952

【弁理士】

【氏名又は名称】 風間 鉄也

【選任した代理人】

【識別番号】 100097559

【弁理士】

【氏名又は名称】 水野 浩司

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9602409

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 撮像装置
 【特許請求の範囲】

【請求項 1】

インターライン型電荷転送路を有した撮像素子と、この撮像素子を駆動して画素電荷の読み出しを行い、且つ該素子内で複数の画素電荷を加算しつつ読み出し可能な駆動手段と、前記撮像素子から読み出した画像信号を量子化する A/D 変換手段と、前記駆動手段が実行する加算読み出しの加算数に対応して、前記 A/D 変換手段における量子化最大レベルを可変設定する量子化レベル設定手段とを具備してなることを特徴とする撮像装置。

【請求項 2】

前記撮像素子に対する露光量を制御する露出制御手段を有し、前記量子化レベル設定手段は、前記加算読み出しの加算数と共に、前記露出制御手段が設定した露光量の目標値に対応して前記量子化最大レベルを可変設定するように構成されていることを特徴とする請求項 1 記載の撮像装置。

【請求項 3】

前記インターライン型電荷転送路は、マトリクス配置された画素に隣接して縦列方向に配置された複数本の垂直転送路とこれらの垂直転送路の端に隣接して横列方向に配置された水平転送路からなり、前記駆動手段は、垂直方向に隣接する画素に対する信号加算を前記水平転送路内で行い、前記水平転送路の出力端に接続された出力アンプ部で水平方向に隣接する画素に対する信号加算を行うように構成されていることを特徴とする請求項 1 記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CCD 等の撮像素子を用いた撮像装置に係わり、特に画素加算により感度の向上をはかった撮像装置に関する。

【0002】

【従来の技術】

近年、CCD等の撮像素子により被写体像を撮像して映像信号を得るデジタルスチルカメラ（電子カメラ）が盛んに開発されている。このような撮像装置においては、動画撮像装置、静止画撮像装置の別を問わず、撮像素子の隣接する画素情報の加算、例えば垂直方向2画素と水平方向2画素の合計4画素の信号の加算によって、解像度は低下するものの、感度の向上をはかることができるとされている。

【0003】

この種の加算の具体的な方法としては、撮像素子から画素信号を通常の方法で（1画素ずつ）読み出した後に、例えばA/D変換してデジタル系で加算する外部デジタル加算方式や、撮像素子内で例えばCCD撮像素子の転送駆動を工夫し、転送路内で電荷加算する素子内アナログ加算方式等が知られている。これらのうちで、アナログ加算方式の方がフレームレートも向上できるという点では優れていると言えることができる。

【0004】

ところが、実際にこの技術を電子カメラに適用しようとすると、一応感度上昇効果は得られるものの、その際却ってノイズが増加するなど、単なる画素数減少による解像度劣化にとどまらない画質劣化を生じる場合があった。

【0005】

この点に関して、例えば4画素加算の場合に4倍の感度を得られるとした記載も従来の公開文献にも見られるが、これはノイズまで考慮した場合には正しいとは言えない。何故なら、このときのノイズ改善効果（SN向上度）はランダムノイズの統計的性質から加算数の平方根に比例することが知られており、4画素加算によってはSN2倍（即ち6dB）が期待できるのみである。従って、画質（ノイズレベル）を保った撮像を行う場合は感度2倍、即ち標準の1/2露光量で行う撮像までが限界となる。仮に、4倍の感度を得るために1/4露光量で撮像して4画素加算した場合、信号成分Sは $1/4 \times 4 = 1$ 倍、ノイズNは $1 \times \sqrt{4} = 2$ 倍となりSNは6dB劣化してしまう。

【0006】

そこで、4画素加算に関して1/2露光量で露光を行った場合を考えるが、素

子内アナログ加算方式の場合はA/Dコンバータの飽和問題があった。即ち、加算の実行場所である水平転送路や撮像素子出力アンプの最大出力レベルに制限がないとすれば、 $1/2$ 露光量の4画素加算では $1/2 \times 4 = 2$ 画素分の電荷量、即ち2倍の出力電圧を取り扱う必要が生じる。従って、従来の（通常の1画素素子分の電圧に対応する）A/Dコンバータをそのまま用いた場合は、A/D入力電圧がA/Dの量子化最大電圧を超えるため信号がクリップされてしまうことになる。

【0007】

この場合、A/Dコンバータでの量子化に際してクリップが発生しないためには、A/Dの最大量子化レベル（Dmax）は従来の2倍を想定して設定される必要が生じる。このように設定すれば確かに飽和は避け得るが、通常の非加算時にはCCD出力信号の最大値はDmax/2になってしまい、それ以上のデジタルビットは無駄になってしまう。言い換えれば、相対的な量子化誤差が理想状態の2倍に増えてしまうものであった。

【0008】

なお、この問題を回避するためにはA/Dコンバータの量子化誤差自体を小さくしてもよいが、これは言い換えれば本来必要なビット数よりも大きなビット数のA/Dコンバータが必要となるものであり、コスト増加を伴うために好ましくないものであった。

【0009】

【発明が解決しようとする課題】

このように従来、撮像装置の感度向上のために画素加算を行おうとすると、アナログ加算方式の場合は、A/D入力電圧がA/Dの量子化最大電圧を超えるため信号がクリップされてしまい、画質劣化を生じてしまう問題があった。

【0010】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、アナログ加算方式の画素情報加算による感度向上撮影が可能で、且つA/Dコンバータにおけるクリップによる画質劣化を防止し得る撮像装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

(構成)

上記課題を解決するために本発明は次のような構成を採用している。

【 0 0 1 2 】

即ち本発明は、被写体像を撮影する撮像装置において、インターライン型電荷転送路を有した撮像素子と、この撮像素子を駆動して画素電荷の読み出しを行い、且つ該素子内で複数の画素電荷を加算しつつ読み出し可能な駆動手段と、前記撮像素子から読み出した画像信号を量子化するA/D変換手段と、前記駆動手段が実行する加算読み出しの加算数に対応して、前記A/D変換手段における量子化最大レベルを可変設定する量子化レベル設定手段とを具備してなることを特徴とする。

【 0 0 1 3 】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

(1) 撮像素子に対する露光量を制御する露出制御手段を有し、量子化レベル設定手段は、加算読み出しの加算数と共に、露出制御手段が設定した露光量の目標値に対応して量子化最大レベルを可変設定するように構成されていること。

【 0 0 1 4 】

(2) インターライン型電荷転送路は、マトリクス配置された画素に隣接して縦列方向に配置された複数本の垂直転送路とこれらの垂直転送路の端に隣接して横列方向に配置された水平転送路からなり、駆動手段は、垂直方向に隣接する画素に対する信号加算を水平転送路内で行い、水平転送路の出力端に接続された出力アンプ部で水平方向に隣接する画素に対する信号加算を行うように構成されていること。

【 0 0 1 5 】

(3) 駆動手段による加算画素数は、水平、垂直方向で同じであること。

(4) 撮像素子は、CCD撮像素子であること。

【 0 0 1 6 】

(作用)

本発明によれば、駆動手段による加算読み出しの加算数に対応して、量子化レベル設定手段によりA/D変換手段における量子化最大レベルを可変設定することにより、信号加算に伴ってA/D入力電圧がA/Dの量子化最大電圧を超える現象を抑制することができ、これによりA/D変換手段で加算信号がクリップされるのを未然に防止することができる。従って、A/D変換手段におけるクリップによる画質劣化を招くことなく、アナログ加算方式の画素情報加算による感度向上撮影が可能となる。

【0017】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【0018】

(第1の実施形態)

図1は、本発明の第1の実施形態に係わるデジタルスチルカメラの回路構成を示すブロック図である。

【0019】

図中101は各種レンズからなるレンズ系、102はレンズ系101を駆動するためのレンズ駆動機構、103はレンズ系101の絞りを制御するための露出制御機構、104はメカシャッタ、105はCCD撮像素子、106は撮像素子105を駆動するためのCCDドライバ、107はゲインコントロールアンプ、A/D変換器等を含むプリプロセス回路、108は信号生成処理、その他各種のデジタル処理を行うためのデジタルプロセス回路、109はカードインターフェース、110はCFやスマートメディア等のメモリカード、111はLCD画像表示系を示している。

【0020】

また、図中の112は各部を統括的に制御するためのシステムコントローラ(CPU)、113は各種SWからなる操作スイッチ系、114は操作状態及びモード状態等を表示するための操作表示系、115はレンズ駆動機構102を制御するためのレンズドライバ、116は発光手段としてのストロボ、117はストロボ116を制御するための露出制御ドライバ、118は各種設定情報等を記憶

するための不揮発性メモリ（EEPROM）を示している。

【0021】

本実施形態のデジタルスチルカメラにおいては、システムコントローラ112が全ての制御を統括的に行っており、特に露出制御機構103に含まれるシャッタ装置と、CCDドライバ106によるCCD撮像素子105の駆動を制御して露光（電荷蓄積）及び信号の読み出しを行い、それをプリプロセス回路107を介してデジタルプロセス回路108に取込んで、各種信号処理を施した後にカードインターフェース109を介してメモリカード110に記録するようになっている。

【0022】

CCD撮像素子105は、図2に示すように、マトリクス配置されたフォトダイオード201、複数本の垂直CCD202、1本の水平CCD203、及び出力アンプ204から構成されたインターライン（IT）型で、プログレッシブ（順次走査）駆動方式のものを採用している。そして、説明を簡単にする目的でモノクロ素子を仮定する。

【0023】

また、撮像素子105から出力されてプリプロセス回路107に入力された画像信号は、図3に示すように、リセットレベルと信号レベルの差分を取るための相関二重サンプリング回路（CDS回路）301、OB画素からの信号（OB基準レベル）を基準にクランプするためのOBクランプ回路（OBCLP回路）302を通してA/Dコンバータ303に入力される。そして、このA/Dコンバータ303でCCDの駆動に対応した所定のサンプリング周波数にてデジタル信号に変換されるようになっている。

【0024】

ここで、A/Dコンバータ303は、最小入力レベル（入力0基準）が一侧の基準電圧 V_{refZ} に等しく0Vで、最大入力レベル（即ち最大量子化レベル）が+側の基準電圧 V_{refP} に等しくこれを可変できるものであり、この基準電圧 V_{refP} を変えることにより最大量子化レベルを可変できるようになっている。従って例えば、 V_{refP} が2倍となると最大量子化レベルは2倍となる。

なお最大入力レベルと基準電圧 V_{refP} は等しい必要は無く、 V_{refP} を変えることにより最大量子化レベルが可変し得るものであればよい。

【0025】

本実施形態では、通常撮影モードとは別に加算撮影モードがあり、この加算撮影モードでは、撮像素子内で複数の画素信号を加算しつつ信号読み出しを行う。即ち、

(1) 毎回の水平ブランキング期間内に n 画素分 (n 転送単位) に相当する $VCCD$ 駆動パルスを出力する。具体的には、 $n=2$ とし、垂直方向の 2 画素を水平転送路内で加算する。

【0026】

(2) 水平転送に際して、 m 画素加算駆動によって、水平転送路の出力部に設けられたフローティングディフュージョンアンプ (FDA) のディフュージョン部で加算する。即ち、毎回のリセットパルス印加後の電荷転送期間に m 画素分 (m 転送単位) に相当する $HCCD$ 駆動パルスを出力する。具体的には $m=2$ とし、垂直加算後の 2 画素、即ち画素部の 4 画素の加算を行う。

【0027】

という方法で水平垂直 2×2 画素加算を行う。またこのとき、露光量の目標値は通常撮影モードの $1/2$ 倍に制御する。更に、 A/D コンバータ 303 における基準電圧 V_{refP} の大きさを通常モードの 2 倍に設定する。

【0028】

このようにすれば、露光量が $1/2$ で 4 画素加算であることから、撮像素子からは通常の 2 倍 ($1/2 \times 4 = 2$) の画像信号が出力されることになるが、 A/D コンバータ 303 の V_{refP} を通常モードの 2 倍にしていることから、上記の画像信号が A/D コンバータ 303 でクリップされることなく (より正確には通常と同じクリップレベルで) A/D 変換されることになる。つまり、4 画素加算を行った場合であっても、加算画素信号が A/D コンバータ 303 でクリップされて画質劣化が生じるのを防止することができる。

【0029】

また、上記説明では露光量は $1/2$ ($1/N$)、加算画素数は 4 としたが、他

の任意の設定もあり得る。例えば、露出制御の目標値が通常と同じ（1 倍）であるとする、信号レベルは 4 倍になるので、V r e f P も通常撮影モードの 4 倍に設定する。これらの関係を下記の（表 1）に示しておく。

【0 0 3 0】

【表 1】

4 画素加算	露光目標レベル	V r e f P
N	1	1
Y	1 / 2	2
Y	1	4

【0 0 3 1】

また、垂直方向のみの加算（2 画素加算）の場合は下記の（表 2）のようになればよい。

【0 0 3 2】

【表 2】

2 画素加算	露光目標レベル	V r e f P
N	1	1
Y	1 / 2	1
Y	1	2

【0 0 3 3】

この垂直方向のみ 2 画素加算の場合も、A D 変換後のデジタル信号処理の始めに水平 2 画素（デジタル）加算平均演算を行うことで、総合的に 4 画素加算を実現することができる。

【0 0 3 4】

ここでいずれも総合 4 画素加算であるとして、上記表 1 または表 2 における画素加算時の 2 種類の露出目標レベル（1 / 2 と 1）に対応する 2 種類の撮像の差異について補足説明すれば、目標レベルが 1 / 2 の場合は前述のとおり非加算時と同等の S N と飽和レベルを確保した状態で感度が 2 倍に向上した撮像であり、目標レベルが 1 の場合は非加算時と同じ感度と飽和レベルで、S N が 2 倍（6 d B）向上した撮像を行うことができる。

【 0 0 3 5 】

このように本実施形態によれば、加算撮影モードにおける加算画素数に対応して、A/Dコンバータにおける基準電圧 V_{refP} を可変し、量子化最大レベルを可変設定することにより、アナログ加算方式による画素加算を行っても、A/D入力電圧がA/Dの量子化最大電圧を超えるため信号がクリップされてしまう不具合を解消することができる。このため、A/Dコンバータにおけるクリップによる画質劣化を防止しながら、アナログ加算方式の画素情報加算による感度向上撮影が可能となる。

【 0 0 3 6 】

なお、本発明は上述した実施形態に限定されるものではない。実施形態では、撮像素子としてCCDを用いたが、これに限らずBBD、CID等を含むCTD（電荷転送素子）であれば適用可能である。さらに、加算画素数は4画素や2画素に何ら限定されるものではなく、仕様に応じて適宜変更可能である。

【 0 0 3 7 】

また、「撮像素子から読み出した画像信号を量子化するA/D変換手段における量子化最大レベル」とは、撮像素子出力画像信号に対する相対的な量子化レベルに着目したものであるから、これを可変する手段としては上記実施形態のようにA/Dコンバータの基準電圧を可変するもの以外にも、任意の手段、例えば撮像素子出力画像信号がA/Dコンバータに入力される以前にアンプ又はアッテネータを介挿し、増幅率又は減衰率を可変する、等の構成を使用しても良い。

【 0 0 3 8 】

また、実施形態ではモノクロ撮像装置の例を説明したが、本発明はカラー撮像装置に適用することも可能である。さらに、デジタルスチルカメラに限らず、ムービーカメラを含む任意の撮像装置に適用可能であることは言うまでもない。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【 0 0 3 9 】

【発明の効果】

以上詳述したように本発明によれば、駆動手段による加算読み出しの加算数に対応して、量子化レベル設定手段によりA/D変換手段における量子化最大レベ

ルを可変設定することにより、信号加算に伴ってA/D入力電圧がA/Dの量子化最大電圧を超える現象を抑制することができ、これによりA/D変換手段で加算信号がクリップされるのを未然に防止することができる。従って、A/D変換手段におけるクリップによる画質劣化を招くことなく、アナログ加算方式の画素情報加算による感度向上撮影が可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係わるデジタルスチルカメラの回路構成を示すブロック図。

【図 2】

同実施形態に用いたCCD撮像素子の基本構成を示す平面図。

【図 3】

同実施形態に用いたプリプロセス回路の構成を示すブロック図。

【符号の説明】

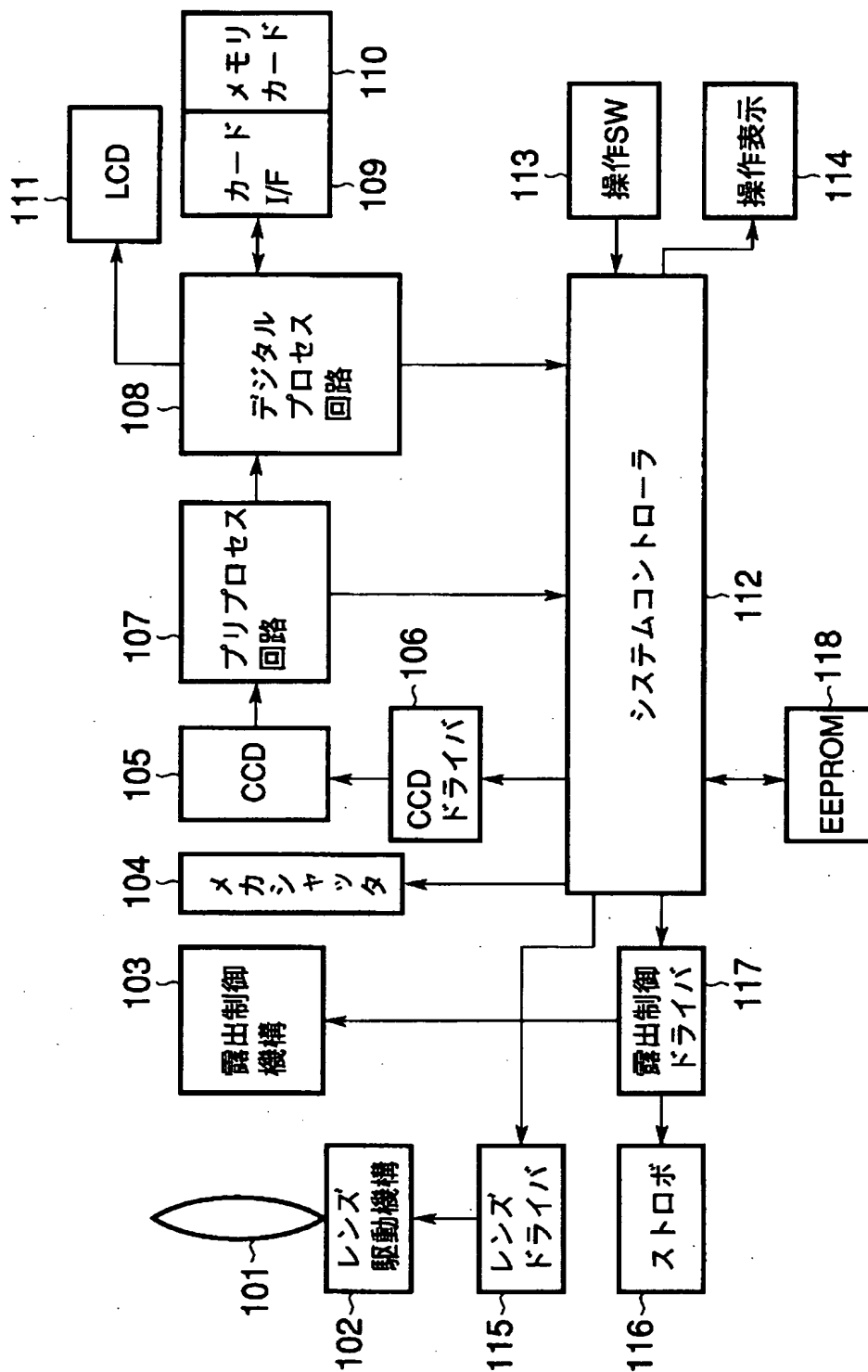
- 1 0 1 … レンズ系
- 1 0 2 … レンズ駆動機構
- 1 0 3 … 露出制御機構
- 1 0 4 … メカシャッタ
- 1 0 5 … CCDカラー撮像素子
- 1 0 6 … CCDドライバ
- 1 0 7 … プリプロセス回路
- 1 0 8 … デジタルプロセス回路
- 1 0 9 … カードインターフェース
- 1 1 0 … メモリカード
- 1 1 1 … LCD画像表示系
- 1 1 2 … システムコントローラ (CPU)
- 1 1 3 … 操作スイッチ系
- 1 1 4 … 操作表示系
- 1 1 5 … レンズドライバ

- 116…ストロボ
- 117…露出制御ドライバ
- 118…不揮発性メモリ (EEPROM)
- 201…フォトダイオード
- 202…垂直CCD
- 203…水平CCD
- 301…CDS回路
- 302…OBCLP回路
- 303…A/Dコンバータ

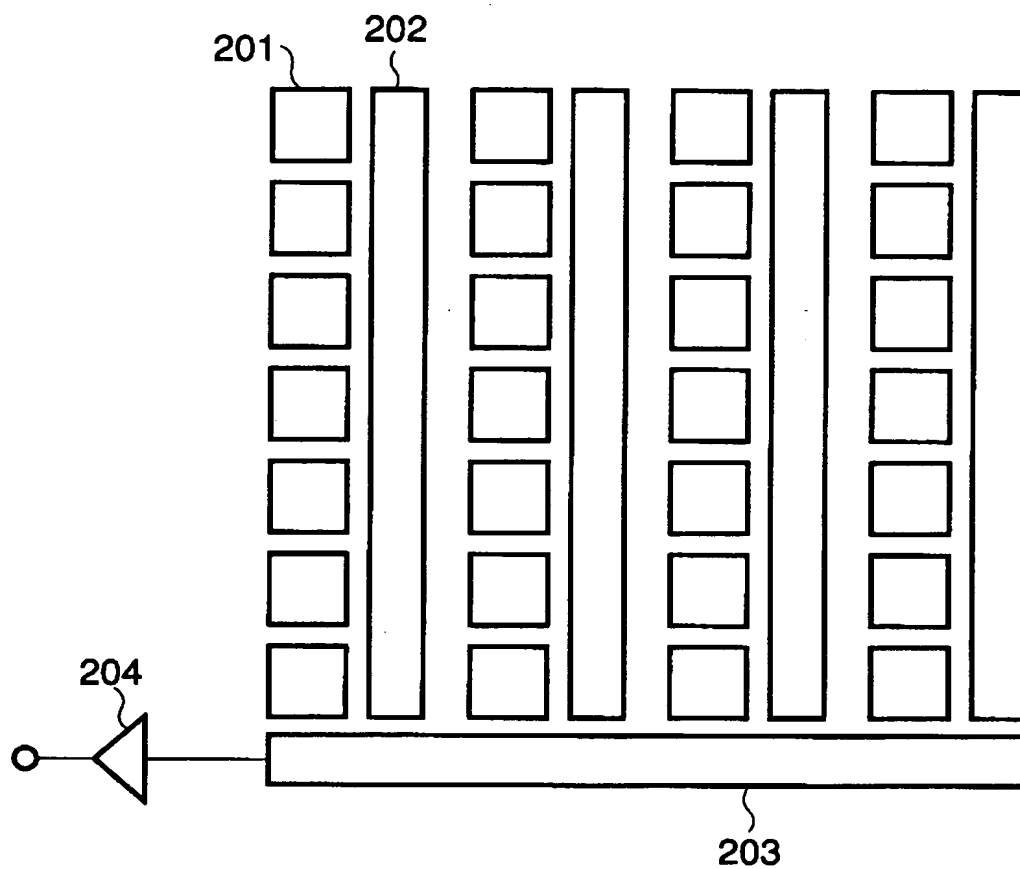
【書類名】

図面

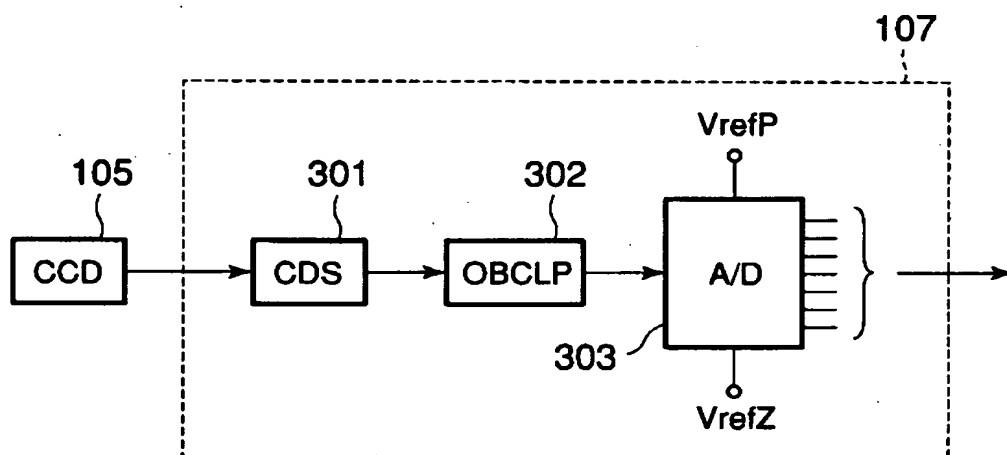
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 A/Dコンバータにおけるクリップによる画質劣化を防止しながら、アナログ加算方式の画素情報加算による感度向上撮影を可能にする。

【解決手段】 被写体像を撮影するデジタルスチルカメラにおいて、インターライン型電荷転送路を有したCCD撮像素子105と、この撮像素子105を駆動して画素電荷の読み出しを行い、且つ該素子内で水平2画素、垂直2画素の4画素電荷を加算しつつ読み出し可能なCCDドライバ106と、撮像素子105から読み出した画像信号をA/Dコンバータにより量子化するプリプロセス回路107と、CCDドライバ106が実行する加算読み出しの加算数に対応して、A/Dコンバータにおける量子化最大レベルを可変設定する量子化レベル設定機構とを具備してなる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000376]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都渋谷区幡ヶ谷2丁目43番2号
氏 名 オリンパス光学工業株式会社